

Rec'd PCT/PTO 24 JUN 2004

PCT/JP 02/12898

日 本 国 特 許 庁

JAPAN PATENT OFFICE

10/500065

10.12.02

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出 願 年 月 日

Date of Application:

2001年12月26日

出 願 番 号

Application Number:

特願2001-395233

[ST.10/C]:

[JP2001-395233]

出 願 人

Applicant(s):

新潟精密株式会社
株式会社豊田自動織機

REC'D 07 FEB 2003

WIPO

PCT

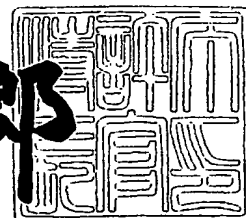
**PRIORITY
DOCUMENT**

SUBMITTED OR TRANSMITTED IN
COMPLIANCE WITH RULE 17.1(a) OR (b)

2003年 1月21日

特 許 庁 長 官
Commissioner,
Japan Patent Office

太田信一郎



出証番号 出証特2002-3107701

【書類名】 特許願

【整理番号】 NSP0293N

【あて先】 特許庁長官殿

【国際特許分類】 H01L 23/00

【発明者】

【住所又は居所】 新潟県上越市西城町2丁目5番13号 新潟精密株式会社
社内

【氏名】 宮城 弘

【特許出願人】

【識別番号】 591220850

【氏名又は名称】 新潟精密株式会社

【特許出願人】

【識別番号】 000003218

【氏名又は名称】 株式会社豊田自動織機

【代理人】

【識別番号】 100103171

【弁理士】

【氏名又は名称】 雨貝 正彦

【電話番号】 03-3362-6791

【手数料の表示】

【予納台帳番号】 055491

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9718653

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 ノイズ除去回路

【特許請求の範囲】

【請求項 1】 入力信号に含まれるノイズ成分を検出するハイパスフィルタと、

前記ハイパスフィルタから出力される前記ノイズ成分の電圧レベルが所定の基準電圧以上になったタイミングで所定幅のパルス生成回路と、

前記入力信号を所定時間遅延して出力するアナログ遅延回路と、

前記パルス生成回路によって生成されたパルスが入力されたときに、その直前のタイミングで前記アナログ遅延回路から出力された信号を保持するとともに、それ以外のときに前記アナログ遅延回路から出力された信号をそのまま出力する出力回路と、

を有するノイズ除去回路において、

前記アナログ遅延回路は、

複数のコンデンサと、

前記入力信号を異なるタイミングで所定の順番で前記複数のコンデンサのそれぞれに供給することにより、供給タイミングに対応した前記入力信号の電圧を前記複数のコンデンサのそれぞれに保持させる複数の第 1 のスイッチと、

前記複数のコンデンサのそれぞれに保持された前記入力信号の電圧を、次の電圧保持のタイミングが到来する前に取り出す複数の第 2 のスイッチと、

を備えることを特徴とするノイズ除去回路。

【請求項 2】 請求項 1 において、

前記複数の第 2 のスイッチの出力端を共通に接続することを特徴とするノイズ除去回路。

【請求項 3】 請求項 1 または 2 において、

前記複数の第 1 のスイッチのそれぞれを排他的に導通状態にすることを特徴とするノイズ除去回路。

【請求項 4】 請求項 1 ～ 3 のいずれかにおいて、

前記複数の第 2 のスイッチのそれぞれを排他的に導通状態にすることを特徴と

するノイズ除去回路。

【請求項 5】 請求項 1～4 のいずれかにおいて、

前記第 1 および第 2 のスイッチのそれぞれは、p チャネル型の FET と n チャネル型の FET を並列接続したアナログスイッチであることを特徴とするノイズ除去回路。

【請求項 6】 請求項 1～5 のいずれかにおいて、

前記アナログ遅延回路は、前記複数の第 1 のスイッチと前記複数の第 2 のスイッチのそれぞれを巡回的に選択するクロック信号を生成するクロック生成手段をさらに備えることを特徴とするノイズ除去回路。

【請求項 7】 請求項 1～6 のいずれかにおいて、

前記アナログ遅延回路は、前記複数のコンデンサのそれぞれに前記複数の第 2 のスイッチを介して接続された出力コンデンサをさらに備えていることを特徴とするノイズ除去回路。

【請求項 8】 請求項 7 において、

前記出力コンデンサの静電容量を、前記複数のコンデンサのそれぞれの静電容量よりも小さな値に設定することを特徴とするノイズ除去回路。

【請求項 9】 請求項 1～8 のいずれかにおいて、

各構成部品を半導体基板上に一体形成することを特徴とするノイズ除去回路。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、受信機等において信号に含まれるノイズ成分を除去するノイズ除去回路に関する。

【0002】

【従来の技術】

車載用の AM 受信機や FM 受信機内で入出力される信号には、他の車載機器によって発生するノイズが混入しやすい。このため、従来から各種のノイズ除去回路が採用されている。例えば、その中の一つに、信号の中からノイズ成分を抽出し、このノイズ成分に対応する信号の一部をマスクするとともに、その直前に入

力された信号の電圧を保持することにより、ノイズを除去する手法がある。この手法では、ノイズをマスクするためにパルス信号が生成されるが、このパルス信号でノイズをマスクしようとする、ノイズの発生タイミングとこのノイズに基づいて生成されるパルス信号の発生タイミングを合わせる必要がある。当然ながら、パルス信号の生成には所定時間を要するため、この所定時間だけノイズ除去の対象となる信号を遅延させるアナログ遅延回路が必要になる。従来、このアナログ遅延回路として、複数段（例えば4段）のベッセル型のフィルタが用いられている。

【0003】

【発明が解決しようとする課題】

ところで、上述したベッセル型のフィルタは抵抗とコンデンサと演算増幅器を組み合わせ構成されているため、抵抗やコンデンサの素子定数を考慮すると、アナログ遅延回路全体、すなわちノイズ除去回路全体を半導体基板上に一体形成することができないという問題があった。特に、仮に大きな素子定数の抵抗やコンデンサを半導体基板上に形成したとしても、半導体基板上に形成された抵抗等の素子定数のばらつきが大きいため、アナログ遅延回路の遅延時間が大きくばらついてしまう。ノイズのみを正確に除去しようとする、アナログ遅延回路の遅延時間を精度よく設定する必要があり、半導体基板上に形成したベッセル型のフィルタを用いたアナログ遅延回路では、この精度要求を満たすことは難しい。

【0004】

本発明は、このような点に鑑みて創作されたものであり、その目的は、半導体基板上に一体形成することができるとともに、ノイズ成分除去の精度を向上させることができるノイズ除去回路を提供することにある。

【0005】

【課題を解決するための手段】

上述した課題を解決するために、本発明のノイズ除去回路は、入力信号に含まれるノイズ成分を検出するハイパスフィルタと、このハイパスフィルタから出力されるノイズ成分の電圧レベルが所定の基準電圧以上になったタイミングで所定幅のパルス生成回路と、入力信号を所定時間遅延して出力する

アナログ遅延回路と、パルス生成回路によって生成されたパルスが入力されたときに、その直前のタイミングでアナログ遅延回路から出力された信号を保持するとともに、それ以外のときにアナログ遅延回路から出力された信号をそのまま出力する出力回路とを有している。また、アナログ遅延回路は、複数のコンデンサと、入力信号を異なるタイミングで所定の順番で複数のコンデンサのそれぞれに供給することにより、供給タイミングに対応した入力信号の電圧を複数のコンデンサのそれぞれに保持させる複数の第1のスイッチと、複数のコンデンサのそれぞれに保持された入力信号の電圧を、次の電圧保持のタイミングが到来する前に取り出す複数の第2のスイッチとを備えている。このように、アナログ遅延回路内の第1のスイッチを順番に導通させてそれぞれの時点での入力信号の電圧を各コンデンサに保持するとともに、この保持電圧を更新する前に第2のスイッチを導通させて取り出すことにより、第1のスイッチを導通させてから第2のスイッチを導通させるまでの時間だけ、信号の出力タイミングを遅延させることが可能になる。特に、断続状態が切り替え可能な第1および第2のスイッチと、信号の電圧を保持するコンデンサとを用いて構成されているため、大きな素子定数の抵抗やコンデンサを用いる必要がなく、アナログ遅延回路を含むノイズ除去回路全体を容易に半導体基板上に形成することができる。また、第1のスイッチを導通させてから第2のスイッチを導通させるまでの時間が信号の遅延時間となるため、素子定数のバラツキに関係なく遅延時間を設定することができるため、パルス生成回路によってパルスを生成するタイミングとアナログ遅延回路による遅延時間を正確に一致させることが容易になり、ノイズ成分除去の精度を向上させることができる。

【0006】

また、上述した複数の第2のスイッチの出力端を共通に接続することが望ましい。これにより、複数のコンデンサのそれぞれに分散して保持した信号の電圧を、アナログ遅延回路から連続した信号として出力することができる。

また、上述した複数の第1のスイッチを排他的に導通状態にすることが望ましい。あるいは、上述した複数の第2のスイッチを排他的に導通状態にすることが望ましい。これにより、アナログ遅延回路内の複数のコンデンサのそれぞれの充

放電動作を別々に行うことが可能になり、それぞれのコンデンサにおける充放電動作を安定させることができる。

【 0 0 0 7 】

また、上述した第1および第2のスイッチのそれぞれは、pチャネル型のFETとnチャネル型のFETを並列接続したアナログスイッチであることが望ましい。これにより、第1および第2のスイッチの導通時の抵抗値を、入力信号の電圧に関係なくほぼ一定とすることができるため、入力信号の電圧変化によるアナログ遅延回路の出力信号の歪みの発生を防止することができる。

【 0 0 0 8 】

また、上述したアナログ遅延回路は、複数の第1のスイッチと複数の第2のスイッチのそれぞれを巡回的に選択するクロック信号を生成するクロック生成手段をさらに備えることが望ましい。クロック信号を生成することにより、第1および第2のスイッチの各断続のタイミングを制御することができるため、複雑な制御機構が不要になり、回路構成の簡略化が可能になる。

【 0 0 0 9 】

また、上述したアナログ遅延回路は、複数のコンデンサのそれぞれに複数の第2のスイッチを介して接続された出力コンデンサをさらに備えていることが望ましい。これにより、複数のコンデンサから間欠的に出力信号を取り出す場合であっても、この出力信号の急激な電圧変動を抑えることができる。

【 0 0 1 0 】

また、上述した出力コンデンサの静電容量を、複数のコンデンサのそれぞれの静電容量よりも小さな値に設定することが望ましい。これにより、複数のコンデンサによる保持電圧に応じて変化する出力信号を取り出すことが容易となる。

また、各構成部品を半導体基板上に一体形成することが望ましい。上述したアナログ遅延回路を用いることにより、ノイズ除去回路の全体を一体形成することが容易となり、これにより、回路全体の小型化やコストダウンが可能になる。

【 0 0 1 1 】

【発明の実施の形態】

以下、本発明を適用した一実施形態のノイズ除去回路について、図面を参照し

ながら説明する。

図 1 は、一実施形態のノイズ除去回路が含まれる FM 受信機の部分的な構成を示す図である。図 1 に示すように、本実施形態の FM 受信機は、FM 検波回路 10、ノイズ除去回路 30、ステレオ復調回路 60 を含んで構成されている。FM 検波回路 10 は、中間周波増幅回路（図示せず）によって増幅された中間周波信号に対して FM 検波処理を行ってステレオ複合信号を出力する。ノイズ除去回路 30 は、FM 検波回路 10 から入力される FM ステレオ複合信号に含まれるノイズを除去する。ステレオ復調回路 60 は、入力されるステレオ複合信号に含まれる L 信号と R 信号を分離するステレオ復調処理を行う。

【0012】

図 2 は、図 1 に示したノイズ除去回路 30 の構成を示す図である。図 2 に示すように、ノイズ除去回路 30 は、ハイパスフィルタ（HPF）232、増幅器 234、全波整流回路 236、時定数回路 100、電圧比較器 240、1 ショット回路 242、増幅器 250、アナログ遅延回路 252、FET 254、コンデンサ 256、バッファ 258 を含んで構成されている。本実施形態では、ノイズ除去回路 30 と、必要に応じてその周辺回路の全体が半導体基板上に一体形成されている。

【0013】

ハイパスフィルタ 232 は、FM 検波回路 10 から出力されるステレオ複合信号に含まれるノイズ成分を含む高域成分のみを通過させる。増幅器 234 は、印加される制御電圧に対応する利得で、ハイパスフィルタ 232 を通過したノイズ成分を増幅する。全波整流回路 236 は、増幅器 234 から出力される増幅後のノイズ成分に対して全波整流を行う。一般に、所定の電圧レベルを有する信号に混入するノイズは、正極性のものの他に負極性のものがあるため、全波整流回路 236 では、極性が異なる 2 種類のノイズ成分を整流して、同一極性のノイズ成分が生成される。時定数回路 100 は、全波整流回路 236 によって整流されたノイズ成分を所定の時定数で平滑することにより、増幅器 234 に印加する制御電圧を生成する。時定数回路 100 の構成および動作の詳細については後述する。

【0014】

電圧比較器240は、全波整流回路236によって整流されたノイズ成分と所定の基準電圧 V_{ref} とを比較し、波高値が基準電圧 V_{ref} を越えるノイズに対応して出力をハイレベルにする。1ショット回路242は、電圧比較器240の出力がハイレベルになったとき、すなわちノイズが検出されたときに、所定のパルス幅を有する単発のパルスを生成する。

【0015】

増幅器250は、FM検波回路10から出力される検波後のステレオ複合信号を増幅する。アナログ遅延回路252は、入力されるステレオ複合信号を所定時間遅延させて出力する。この遅延時間は、上述したハイパスフィルタ232から1ショット回路242までの各回路の処理時間に対応して設定されている。FET254は、アナログ遅延回路252から出力されるステレオ複合信号を通過あるいは遮断するスイッチング素子であり、1ショット回路242から出力されたパルスがゲートに入力されたときに、ステレオ複合信号を遮断し、それ以外ときにステレオ複合信号を通過させる。コンデンサ256は、FET254によってステレオ複合信号が遮断されたときに、その直前の信号レベルを保持する。バッファ258は、高入力インピーダンスを有しており、FET254を通過したステレオ複合信号あるいは遮断直前のコンデンサ256の保持電圧がこのバッファ258を介して外部に取り出される。

【0016】

上述した電圧比較器240、1ショット回路242がパルス生成回路に、FET254、コンデンサ256、バッファ258が出力回路にそれぞれ対応する。

図3は、本実施形態のノイズ除去回路30の動作状態を示すタイミング図である。図3において、(A)～(F)のそれぞれは、図2において同じ符号が付された各部の入出力信号波形を示している。

【0017】

ノイズが混入したステレオ複合信号がFM検波回路10から出力されると(図3(A))、このステレオ複合信号に含まれるノイズ成分がハイパスフィルタ232によって抽出される(図3(B))。全波整流回路236では、このノイズ

成分を整流し（図 3（C））、1 ショット回路 2 4 2 は、それぞれのノイズに対応するパルス信号を生成する（図 3（D））。

【 0 0 1 8 】

また、アナログ遅延回路 2 5 2 は、このパルス信号の生成に要する時間だけ、FM 検波回路 1 0 から出力されるステレオ複合信号を遅延させて出力する（図 3（E））。これにより、ステレオ複合信号に含まれるノイズが出力されるタイミングと、1 ショット回路 2 4 2 からこのノイズに対応するパルスが出力されるタイミングとが一致するようになっている。F E T 2 5 4 は、1 ショット回路 2 4 2 からパルスが出力されたときに、入力されたステレオ複合信号を遮断する。この遮断時には、その直前にコンデンサ 2 5 6 に保持された電圧がバッファ 2 5 8 によって取り出されるため、バッファ 2 5 8 から出力されるステレオ複合信号では、ノイズ成分に対応する部分とその直前の電圧レベルに置き換わっている。

【 0 0 1 9 】

ところで、時定数回路 1 0 0 の時定数は、図 3（C）に示すような散発のノイズに応答しない程度の値が設定されている。しかし、特に FM 放送の場合には、放送波の受信電界強度が低下すると、全体的にホワイトノイズが増加する傾向にあり、このような場合には時定数回路 1 0 0 によって生成される制御電圧が上昇して増幅器 2 3 4 の利得が低下する。したがって、全波整流回路 2 3 6 の出力電圧が低くなって、電圧比較器 2 4 0 の出力電圧はローレベルを維持し、1 ショット回路 2 4 2 によるパルスの生成が行われなくなる。これにより、アナログ遅延回路 2 5 2 から出力されたステレオ複合信号は、F E T 2 5 4 で遮断されことなくバッファ 2 5 8 を介して出力される。なお、ステレオ複合信号に含まれるホワイトノイズが増加したときに、F E T 2 5 4 による信号の遮断を速やかに停止させる必要があるため、時定数回路 1 0 0 によって生成される制御電圧が上昇して増幅器 2 3 4 の利得が低下する時間（アタックタイム）を短く設定する必要がある。一方、増幅器 2 3 4 の利得が上昇する時間（リリースタイム）は、動作の安定性等を考慮してある程度長く設定することが望ましい。

【 0 0 2 0 】

図 4 は、時定数回路 1 0 0 の原理ブロックを示す図である。図 4 に示すように

、本実施形態の時定数回路 1 0 0 は、コンデンサ 1 1 0、電圧比較器 1 1 2、充電回路 1 1 4、放電回路 1 1 6、充放電速度設定部 1 1 8 を備えている。電圧比較器 1 1 2 は、コンデンサ 1 1 0 の端子電圧と入力電圧とを比較し、この比較結果に応じて充電回路 1 1 4 あるいは放電回路 1 1 6 の動作を有効にする。充電回路 1 1 4 は、間欠的に充電電流を供給することによりコンデンサ 1 1 0 を充電する。例えば、この充電回路 1 1 4 は、定電流回路とスイッチとを含んで構成されており、スイッチがオン状態になったときに定電流回路からコンデンサ 1 1 0 に対して充電電流が供給される。また、放電回路 1 1 6 は、間欠的に放電電流を流すことによりコンデンサ 1 1 0 を放電する。例えば、この放電回路 1 1 6 は、定電流回路とスイッチとを含んで構成されており、スイッチがオン状態になったときにコンデンサ 1 1 0 から一定の電流が放出される。充放電速度設定部 1 1 8 は、充電回路 1 1 4 によるコンデンサ 1 1 0 の充電速度と放電回路 1 1 6 によるコンデンサ 1 1 0 の放電速度とを異ならせる設定を行う。

【 0 0 2 1 】

このように、本実施形態の時定数回路 1 0 0 は、コンデンサ 1 1 0 に対して間欠的な充放電動作を行っている。このため、コンデンサ 1 1 0 の静電容量を小さく設定した場合でも、緩やかにその両端電圧が変化し、大きな時定数を有する回路、すなわち大きな静電容量を有するコンデンサや大きな抵抗値を有する抵抗を使用した場合と同等の充放電特性を得ることができる。また、充電回路 1 1 4 や放電回路 1 1 6 では、所定の電流をコンデンサ 1 1 0 に供給、あるいはコンデンサ 1 1 0 から放出する制御を行うが、これらの供給、放出動作は間欠的に行われるため、その際の電流値を IC 化に適したある程度大きな値に設定することができる。したがって、時定数回路 1 0 0 を含むノイズ除去回路 3 0 を半導体基板上に形成して IC 化することが容易となる。また、コンデンサ等の外付け部品が不要になるため、ノイズ除去回路 3 0 全体を大幅に小型化することができる。

【 0 0 2 2 】

また、本実施形態の時定数回路 1 0 0 は、充放電速度設定部 1 1 8 によってコンデンサ 1 1 0 に対する充電速度と放電速度が異なるように設定されている。このため、制御電圧の上昇に伴って増幅器 2 3 4 の利得が低下する時間と、反対に

制御電圧の低下に伴って増幅器 234 の利得が上昇する時間とを異ならせることが可能になる。

【0023】

図5は、時定数回路100の具体的な構成を示す回路図である。図5に示すように、時定数回路100は、コンデンサ110、定電流回路140、FET142、144、150、154、156、スイッチ146、152、電圧比較器160、アンド回路162、164、分周器170を含んで構成されている。

【0024】

2つのFET142、144によってカレントミラー回路が構成されており、定電流回路140から出力される定電流と同じ充電電流が生成される。また、この充電電流の生成タイミングがスイッチ146によって決定される。

スイッチ146は、インバータ回路1とアナログスイッチ2とFET3によって構成されている。アナログスイッチ2は、pチャネルFETとnチャネルFETの各ソース・ドレイン間を並列接続することにより構成されている。アンド回路162の出力信号が直接nチャネルFETのゲートに入力されているとともに、この出力信号の論理をインバータ回路1によって反転した信号がpチャネルFETのゲートに入力されている。したがって、このアナログスイッチ2は、アンド回路162の出力信号がハイレベルのときにオン状態になって、反対にローレベルのときにオフ状態になる。また、FET3は、アナログスイッチ2がオフ状態のときにFET144のゲート・ドレイン間を低抵抗で接続することにより、FET144による電流供給動作を確実に停止させるためのものである。

【0025】

スイッチ146がオン状態になると、定電流回路140が接続された一方のFET142のゲートと他方のFET144のゲートとが接続された状態になるため、一方のFET142に接続された定電流回路140によって生成される定電流とほぼ同じ電流が他方のFET144のソース・ドレイン間にも流れる。この電流が、充電電流としてコンデンサ110に供給される。反対に、スイッチ146がオフ状態になると、FET144のゲートがドレインに接続された状態になるため、この充電電流の供給が停止される。

【 0 0 2 6 】

また、上述した F E T 1 4 2 と定電流回路 1 4 0 に F E T 1 5 0 を組み合わせることにより、コンデンサ 1 1 0 の放電電流を設定するカレントミラー回路が構成されており、その動作状態がスイッチ 1 5 2 によって決定される。スイッチ 1 5 2 はスイッチ 1 4 6 と同じ構成を有している。このスイッチ 1 5 2 は、アンド回路 1 6 4 の出力信号の論理に応じてオンオフ状態が制御されており、この出力信号がハイレベルのときにオン状態に、ローレベルのときにオフ状態になる。

【 0 0 2 7 】

スイッチ 1 5 2 がオン状態になると、定電流回路 1 4 0 が接続された一方の F E T 1 4 2 のゲートと他方の F E T 1 5 0 のゲートとが接続された状態になるため、定電流回路 1 4 0 によって生成される定電流とほぼ同じ電流が他方の F E T 1 5 0 のソース・ドレイン間にも流れる。この電流が、コンデンサ 1 1 0 に蓄積された電荷を放出する放電電流になる。

【 0 0 2 8 】

但し、F E T 1 5 0 に流れる電流をコンデンサ 1 1 0 から直接取り出すことはできないため、本実施形態では、F E T 1 5 0 のソース側に F E T 1 5 4、1 5 6 によって構成される別のカレントミラー回路が接続されている。

2 つの F E T 1 5 4、1 5 6 はゲート同士が接続されており、F E T 1 5 4 に上述した放電電流が流れたときに、同じ電流が他方の F E T 1 5 6 のソース・ドレイン間にも流れるようになっている。この F E T 1 5 6 は、ドレインがコンデンサ 1 1 0 の高電位側の端子に接続されており、F E T 1 5 6 に流れる電流は、コンデンサ 1 1 0 に蓄積された電荷が放出されることによって生成される。

【 0 0 2 9 】

また、電圧比較器 1 6 0 は、プラス端子に印加されるコンデンサ 1 1 0 の端子電圧と、マイナス端子に印加される時定数回路 1 0 0 の入力電圧との大小比較を行う。この電圧比較器 1 6 0 は、非反転出力端子と反転出力端子を有しており、プラス端子に印加されるコンデンサ 1 1 0 の端子電圧の方がマイナス端子に印加される入力電圧よりも大きい場合には非反転出力端子からハイレベルの信号が出力され、反転出力端子からローレベルの信号が出力される。反対に、プラス端子

に印加されるコンデンサ 1 1 0 の端子電圧の方がマイナス端子に印加される入力電圧よりも小さい場合には非反転出力端子からローレベルの信号が出力され、反転出力端子からハイレベルの信号が出力される。

【 0 0 3 0 】

アンド回路 1 6 2 は、一方の入力端子に所定のパルス信号が入力され、他方の入力端子に電圧比較器 1 6 0 の非反転出力端子が接続されている。したがって、コンデンサ 1 1 0 の端子電圧の方が時定数回路 1 0 0 の入力電圧よりも大きい場合に、アンド回路 1 6 2 から所定のパルス信号が出力される。

【 0 0 3 1 】

また、アンド回路 1 6 4 は、一方の入力端子に分周器 1 7 0 から出力される所定のパルス信号が入力され、他方の入力端子に電圧比較器 1 6 0 の反転出力端子が接続されている。したがって、コンデンサ 1 1 0 の端子電圧の方が時定数回路 1 0 0 の入力電圧よりも小さい場合に、アンド回路 1 6 4 から所定のパルス信号が出力される。

【 0 0 3 2 】

分周器 1 7 0 は、アンド回路 1 6 2 の一方の入力端子に入力されたパルス信号を所定の分周比で分周して出力する。上述したように、この分周後のパルス信号は、アンド回路 1 6 4 の一方の入力端子に入力される。

時定数回路 1 0 0 はこのような構成を有しており、次にその動作を説明する。

【 0 0 3 3 】

時定数回路 1 0 0 の動作開始時にコンデンサ 1 1 0 が充電されていない場合や、時定数回路 1 0 0 の入力電圧が上昇傾向にある場合には、コンデンサ 1 1 0 の端子電圧の方が時定数回路 1 0 0 の入力電圧よりも低い状態にある。このとき、アンド回路 1 6 2 からパルス信号が出力され、アンド回路 1 6 4 からはパルス信号が出力されない。したがって、スイッチ 1 4 6 のみが間欠的にオン状態になり、このオン状態になるタイミングで所定の充電電流がコンデンサ 1 1 0 に供給される。この充電動作は、コンデンサ 1 1 0 の端子電圧が時定数回路 1 0 0 の入力電圧よりも相対的に高くなるまで継続される。

【 0 0 3 4 】

また、この充電動作によってコンデンサ 1 1 0 の端子電圧が時定数回路 1 0 0 の入力電圧を超えた場合や、この入力電圧が下降傾向にあってコンデンサ 1 1 0 の端子電圧よりこの入力電圧の方が低い場合には、アンド回路 1 6 4 からパルス信号が出力され、アンド回路 1 6 2 からはパルス信号が出力されない。したがって、スイッチ 1 5 2 のみが間欠的にオン状態になり、このオン状態になるタイミングで所定の放電電流がコンデンサ 1 1 0 から放出される。この放電動作は、コンデンサ 1 1 0 の端子電圧が時定数回路 1 0 0 の入力電圧よりも相対的に低くなるまで継続される。

【 0 0 3 5 】

また、上述した 2 つのアンド回路 1 6 2、1 6 4 から出力される 2 種類のパルス信号を比較すると、アンド回路 1 6 2 から出力されるパルス信号のデューティ比の方がアンド回路 1 6 4 から出力されるパルス信号のデューティ比よりも大きいため、2 つのアンド回路 1 6 2、1 6 4 のそれぞれから同じ時間だけパルス信号が出力された場合を考えると、単位時間当たりの充電速度の方が放電速度よりも速くなる。

【 0 0 3 6 】

なお、上述した時定数回路 1 0 0 では、2 つのアンド回路 1 6 2、1 6 4 からデューティ比が異なるパルス信号を出力するために分周器 1 7 0 を用いたが、異なるデューティ比のパルス信号を別々に生成して 2 つのアンド回路 1 6 2、1 6 4 のそれぞれに入力するようにしてもよい。あるいは、分周器 1 7 0 を取り除くことにより、コンデンサ 1 1 0 の充電時間と放電時間を同じにすることができる。

【 0 0 3 7 】

また、上述した時定数回路 1 0 0 では、コンデンサ 1 1 0 に対する充電速度と放電速度を異ならせるために、F E T 1 4 4、1 5 0 のそれぞれがオン状態になる単位時間当たりの割合を異ならせたが、これらの F E T のゲート寸法を異ならせることにより、充電電流と放電電流そのものを異ならせるようにしてもよい。

【 0 0 3 8 】

図 6 は、アナログ遅延回路 2 5 2 の詳細構成を示す図である。図 6 に示すよう

に、アナログ遅延回路 2 5 2 は、クロック生成部 5 0、アナログスイッチ 5 1 ～ 5 6、6 1 ～ 6 6、インバータ回路 7 1 ～ 7 6、コンデンサ 8 1 ～ 8 6、9 0 を含んで構成されている。上述したアナログスイッチ 5 1 ～ 5 6 が第 1 のスイッチに、アナログスイッチ 6 1 ～ 6 6 が第 2 のスイッチに対応する。

【 0 0 3 9 】

クロック生成部 5 0 は、出力タイミングが互いに異なる 6 つのクロック信号 CLK 1 ～ 6 を所定の順番で生成する。これら 6 つのクロック信号 CLK 1 ～ 6 のそれぞれは、同じ周期を有しているとともに、ハイレベルの期間が互いに排他的かつ巡回的になるように設定されている。このクロック生成部 5 0 がクロック生成手段に対応する。

【 0 0 4 0 】

第 1 のクロック信号 CLK 1 は、直接およびインバータ回路 7 1 を介して 2 つのアナログスイッチ 5 1、6 2 に入力されている。一方のアナログスイッチ 5 1 がクロック信号 CLK 1 に対応して導通すると、この導通タイミングでの入力信号の電圧がコンデンサ 8 1 に印加され、この印加電圧がコンデンサ 8 1 に保持される。また、他方のアナログスイッチ 6 2 がクロック信号 CLK 1 に対応して導通すると、コンデンサ 8 2 の一方端が出力端子側に接続され、このコンデンサ 8 2 の保持電圧が出力電圧として外部に取り出される。

【 0 0 4 1 】

第 2 のクロック信号 CLK 2 は、直接およびインバータ回路 7 2 を介して 2 つのアナログスイッチ 5 2、6 3 に入力されている。一方のアナログスイッチ 5 2 がクロック信号 CLK 2 に対応して導通すると、この導通タイミングでの入力信号の電圧がコンデンサ 8 2 に印加され、この印加電圧がコンデンサ 8 2 に保持される。また、他方のアナログスイッチ 6 3 がクロック信号 CLK 2 に対応して導通すると、コンデンサ 8 3 の一方端が出力端子側に接続され、このコンデンサ 8 3 の保持電圧が出力電圧として外部に取り出される。

【 0 0 4 2 】

第 3 のクロック信号 CLK 3 は、直接およびインバータ回路 7 3 を介して 2 つのアナログスイッチ 5 3、6 4 に入力されている。一方のアナログスイッチ 5 3

がクロック信号CLK 3に対応して導通すると、この導通タイミングでの入力信号の電圧がコンデンサ8 3に印加され、この印加電圧がコンデンサ8 3に保持される。また、他方のアナログスイッチ6 4がクロック信号CLK 3に対応して導通すると、コンデンサ8 4の一方端が出力端子側に接続され、このコンデンサ8 4の保持電圧が出力電圧として外部に取り出される。

【 0 0 4 3 】

第4のクロック信号CLK 4は、直接およびインバータ回路7 4を介して2つのアナログスイッチ5 4、6 5に入力されている。一方のアナログスイッチ5 4がクロック信号CLK 4に対応して導通すると、この導通タイミングでの入力信号の電圧がコンデンサ8 4に印加され、この印加電圧がコンデンサ8 4に保持される。また、他方のアナログスイッチ6 5がクロック信号CLK 4に対応して導通すると、コンデンサ8 5の一方端が出力端子側に接続され、このコンデンサ8 5の保持電圧が出力電圧として外部に取り出される。

【 0 0 4 4 】

第5のクロック信号CLK 5は、直接およびインバータ回路7 5を介して2つのアナログスイッチ5 5、6 6に入力されている。一方のアナログスイッチ5 5がクロック信号CLK 5に対応して導通すると、この導通タイミングでの入力信号の電圧がコンデンサ8 5に印加され、この印加電圧がコンデンサ8 5に保持される。また、他方のアナログスイッチ6 6がクロック信号CLK 5に対応して導通すると、コンデンサ8 6の一方端が出力端子側に接続され、このコンデンサ8 6の保持電圧が出力電圧として外部に取り出される。

【 0 0 4 5 】

第6のクロック信号CLK 6は、直接およびインバータ回路7 6を介して2つのアナログスイッチ5 6、6 1に入力されている。一方のアナログスイッチ5 6がクロック信号CLK 6に対応して導通すると、この導通タイミングでの入力信号の電圧がコンデンサ8 6に印加され、この印加電圧がコンデンサ8 6に保持される。また、他方のアナログスイッチ6 1がクロック信号CLK 6に対応して導通すると、コンデンサ8 1の一方端が出力端子側に接続され、このコンデンサ8 1の保持電圧が出力電圧として外部に取り出される。

【 0 0 4 6 】

コンデンサ 9 0 は、平滑用の出力コンデンサであり、アナログスイッチ 6 1 ~ 6 6 のいずれもが非導通状態にあるときに、その直前に出力端子側に取り出されたコンデンサ 8 1 ~ 8 6 の保持電圧を維持する。このコンデンサ 9 0 の静電容量は、他のコンデンサ 8 1 ~ 8 6 のそれぞれの静電容量よりも小さな値に、例えば $1/10$ 程度に設定されている。これにより、コンデンサ 8 1 ~ 8 6 のそれぞれの保持電圧に応じて変化する出力信号を生成してアナログ遅延回路 2 5 2 の外部に取り出すことが容易となる。

【 0 0 4 7 】

また、上述したアナログスイッチ 5 1 ~ 5 6、6 1 ~ 6 6 のそれぞれは、pチャネル型の F E T と nチャネル型の F E T を並列接続することにより構成されている。このため、入力信号の電圧レベルが変化してもオン抵抗がほぼ一定になり、入力信号の電圧レベルが変化したときに出力信号の歪みが生じないようになっている。

【 0 0 4 8 】

次に、本実施形態のアナログ遅延回路 2 5 2 の動作を説明する。

図 7 は、アナログ遅延回路 2 5 2 の動作タイミングを示す図である。図 7 において、クロック信号 C L K 1 ~ 6 のそれぞれに付された 1 ~ 1 2 の数字は、クロック信号の出力順番（クロック信号が排他的にハイレベルになる順番）を示している。このようにクロック生成部 5 0 からは、アナログスイッチ 5 1 ~ 5 6、6 1 ~ 6 6 のそれぞれを巡回的に選択する 6 種類のクロック信号 C L K 1 ~ C L K 6 が出力されている。なお、本実施形態において、「巡回的に選択する」とは、6 個のアナログスイッチを順番に選択し、一巡したときに最初に戻って再び順番に選択する動作を繰り返すことをいう。

【 0 0 4 9 】

クロック信号 C L K 1 が最初に入力されると（番号 1）、このタイミングでアナログスイッチ 5 1 が導通状態になってコンデンサ 8 1 が充電され、入力信号の電圧が保持される。同様に、クロック信号 C L K 2 が次に入力されると（番号 2）、このタイミングでアナログスイッチ 5 2 が導通状態になってコンデンサ 8 2

が充電され、入力信号の電圧が保持される。

【 0 0 5 0 】

このようにして、順番にクロック信号CLK 1～6が入力されると、それぞれに対応するアナログスイッチ5 1～5 6が導通状態になって、後段に接続されたコンデンサ8 1～8 6に入力信号の電圧が保持される。

また、コンデンサ8 1～8 6のそれぞれに保持された電圧は、次に更新される直前のタイミングで取り出される。具体的には、クロック信号CLK 1（番号7）は、クロック信号CLK 6（番号6）が出力された後に再び出力されるため、このクロック信号CLK 6の出力タイミングに合わせて、コンデンサ8 1に接続されたアナログスイッチ6 1が導通状態になって、コンデンサ8 1の保持電圧が出力端子側に取り出される。以後、同様にして、他のアナログスイッチ6 2～6 6が順番に導通状態になって、コンデンサ8 2～8 6の保持電圧が順番に取り出される。

【 0 0 5 1 】

このように、スイッチ5 1～5 6を順番に導通させてそれぞれの時点での入力信号の電圧を各コンデンサ8 1～8 6に保持するとともに、この保持電圧を更新する前にスイッチ6 1～6 6を導通させて取り出すことにより、スイッチ5 1～5 6を導通させてからそれぞれに対応するスイッチ6 1～6 6を導通させるまでの時間だけ、信号の出力タイミングを遅延させることが可能になる。

【 0 0 5 2 】

特に、断続状態が切り替え可能なスイッチ5 1～5 6、6 1～6 6と、信号の電圧を保持するコンデンサ8 1～8 6と、クロック生成回路5 0等のその他の付加回路を用いてアナログ遅延回路2 5 2を構成することができるため、大きな素子定数の抵抗やコンデンサを用いる必要がなく、アナログ遅延回路2 5 2を含むノイズ除去回路3 0の全体を容易に半導体基板上に形成することができる。

【 0 0 5 3 】

また、スイッチ5 1～5 6を導通させてから、それぞれに対応するスイッチ6 1～6 6を導通させるまでの時間が信号の遅延時間となるため、クロック信号の生成タイミングやアナログスイッチおよびコンデンサの数によって遅延時間を正

確に設定することができ、1ショット回路242によってパルスを生成するタイミングとアナログ遅延回路252による遅延時間を正確に一致させることが容易になり、ノイズ成分除去30の精度を向上させることができる。

【0054】

また、クロック生成部50によってクロック信号を生成することにより、アナログスイッチ51～56、61～66の各断続タイミングを制御することができるため、複雑な制御機構が不要になり、アナログ遅延回路252およびノイズ除去回路30の回路構成の簡略化が可能になる。

【0055】

なお、本発明は上記実施形態に限定されるものではなく、本発明の要旨の範囲内において種々の変形実施が可能である。例えば、上述した実施形態では、一般的な構成を有するFM受信機のノイズ除去回路30について説明したが、ダイレクトコンバージョン受信機等に含まれるノイズ除去回路について本発明を適用することができる。特に、ダイレクトコンバージョン受信機では、信号を同相成分（I成分）と直交成分（Q成分）に分離するため、分離後のそれぞれの信号に対してノイズ除去回路を用いる必要があるため、このノイズ除去回路に本発明を適用することにより回路構成の大幅な簡略化によるコストダウンを達成することができる。

【0056】

【発明の効果】

上述したように、本発明によれば、アナログ遅延回路内の第1のスイッチを順番に導通させてそれぞれの時点での入力信号の電圧を各コンデンサに保持するとともに、この保持電圧を更新する前に第2のスイッチを導通させて取り出すことにより、第1のスイッチを導通させてから第2のスイッチを導通させるまでの時間だけ、信号の出力タイミングを遅延させることが可能になる。特に、断続状態が切り替え可能な第1および第2のスイッチと、信号の電圧を保持するコンデンサとを用いて構成されているため、大きな素子定数の抵抗やコンデンサを用いる必要がなく、アナログ遅延回路を含むノイズ除去回路全体を容易に半導体基板上に形成することができる。また、第1のスイッチを導通させてから第2のスイッ

チを導通させるまでの時間が信号の遅延時間となるため、素子定数のバラツキに関係なく遅延時間を設定することができるため、パルス生成回路によってパルスを生成するタイミングとアナログ遅延回路による遅延時間を正確に一致させることが容易になり、ノイズ成分除去の精度を向上させることができる。

【図面の簡単な説明】

【図 1】

一実施形態のノイズ除去回路が含まれる FM 受信機の部分的な構成を示す図である。

【図 2】

図 1 に示したノイズ除去回路の構成を示す図である。

【図 3】

本実施形態のノイズ除去回路の動作状態を示すタイミング図である。

【図 4】

時定数回路の原理ブロックを示す図である。

【図 5】

時定数回路の具体的な構成を示す回路図である。

【図 6】

アナログ遅延回路の詳細構成を示す図である。

【図 7】

アナログ遅延回路の動作タイミングを示す図である。

【符号の説明】

- 1 0 FM 検波回路
- 3 0 ノイズ除去回路
- 6 0 ステレオ復調回路
- 2 3 2 ハイパスフィルタ (H P F)
- 2 3 4、5 0 増幅器
- 2 3 6 全波整流回路
- 2 4 0 電圧比較器
- 2 4 2 1 ショット回路

2 5 2 アナログ遅延回路

2 5 4 F E T

2 5 6、1 1 0 コンデンサ

2 5 8 バッファ

5 0 クロック生成部

5 1 ~ 5 6、6 1 ~ 6 6 アナログスイッチ

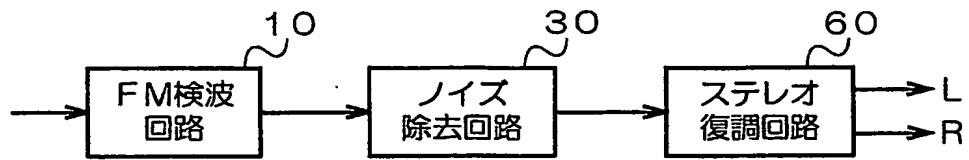
7 1 ~ 7 6 インバータ回路

8 1 ~ 8 6、9 0 コンデンサ

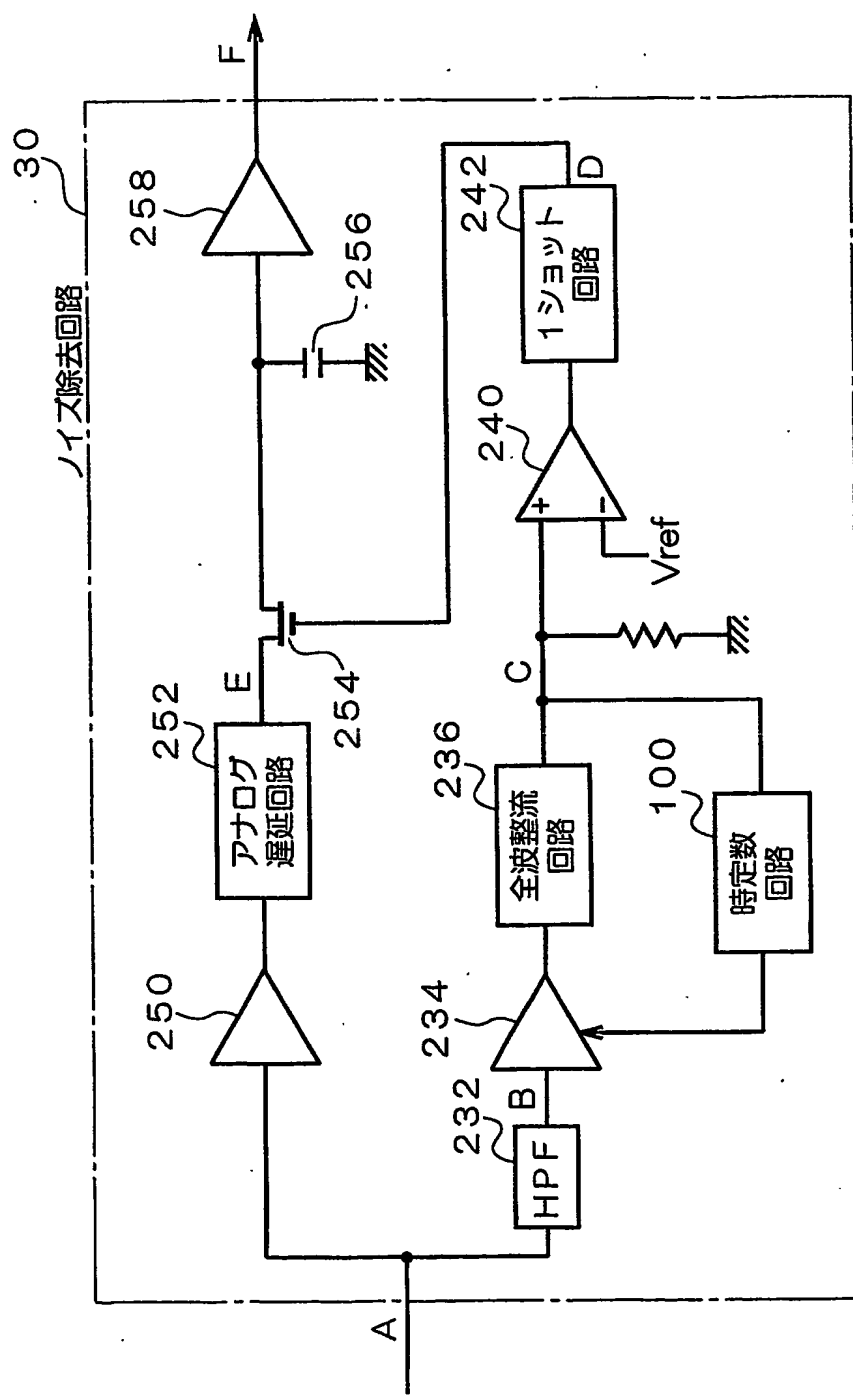
【書類名】

図面

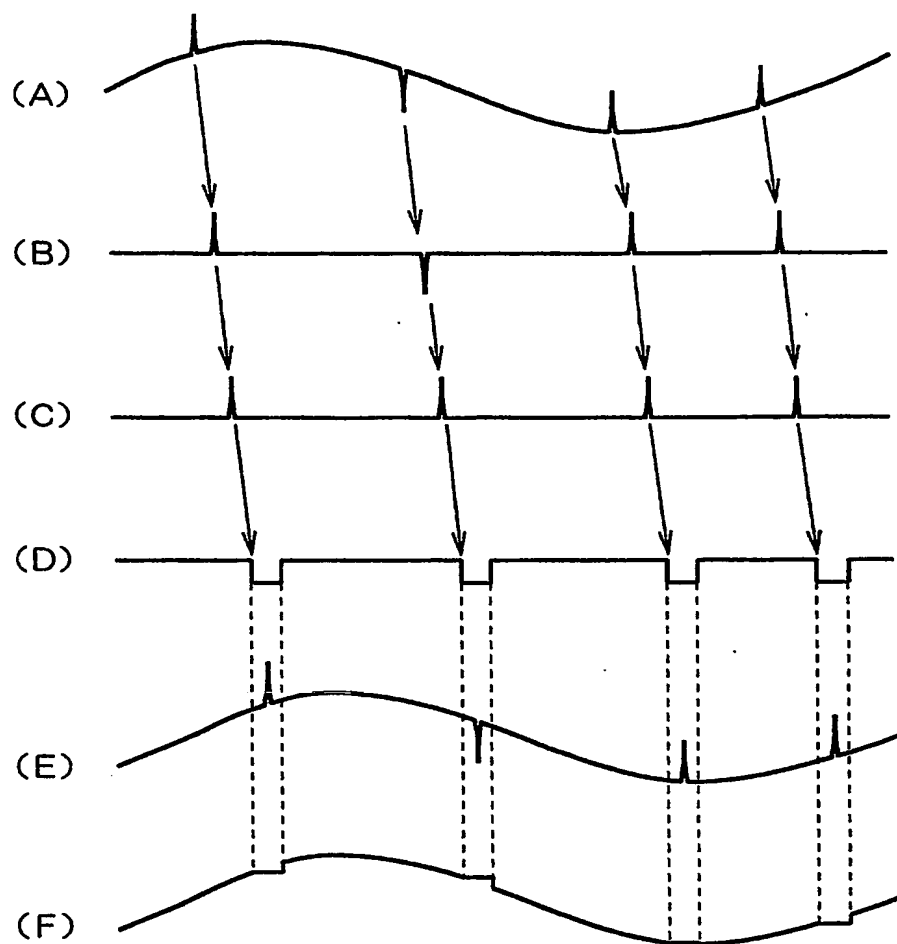
【図 1】



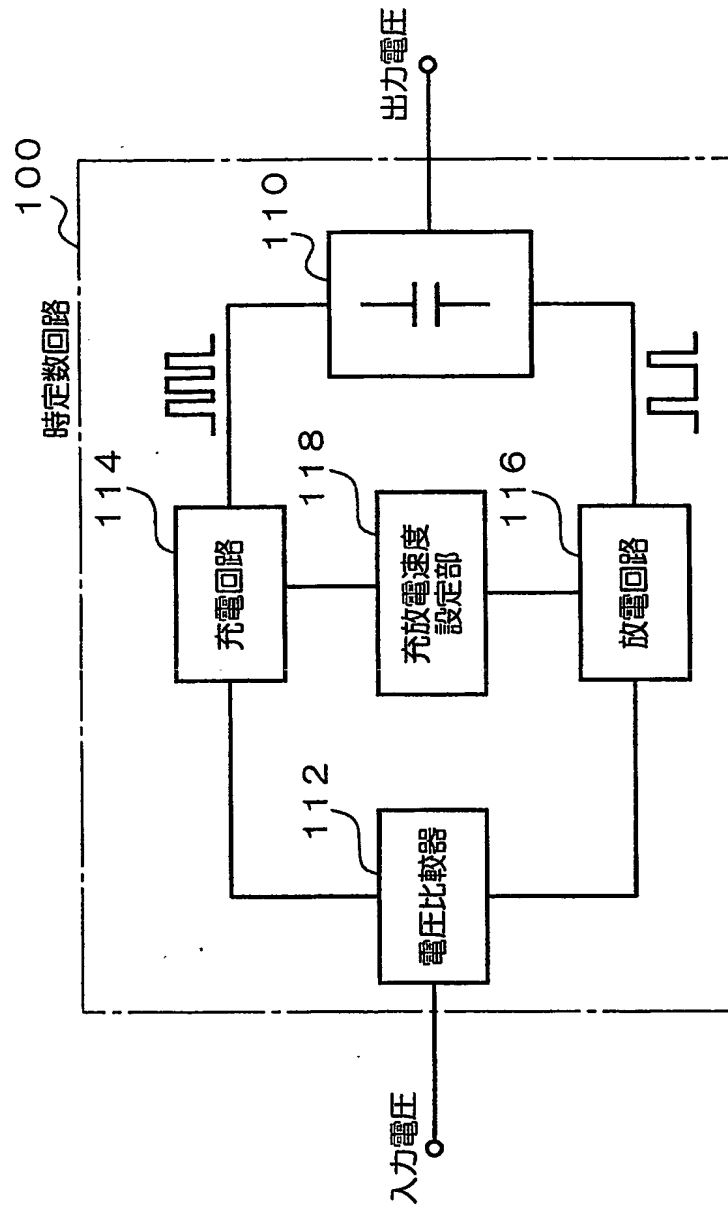
【图 2】



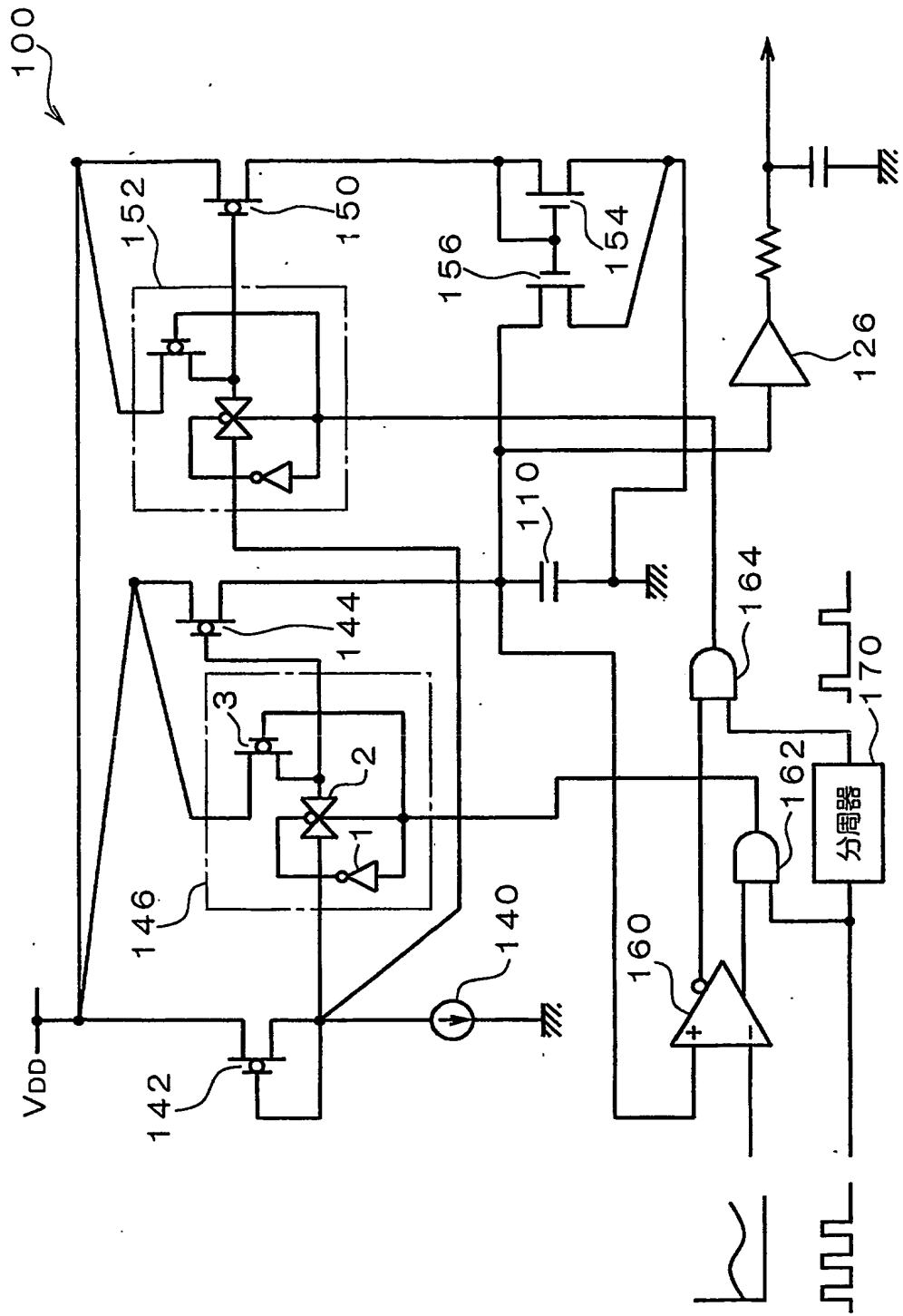
【図 3】



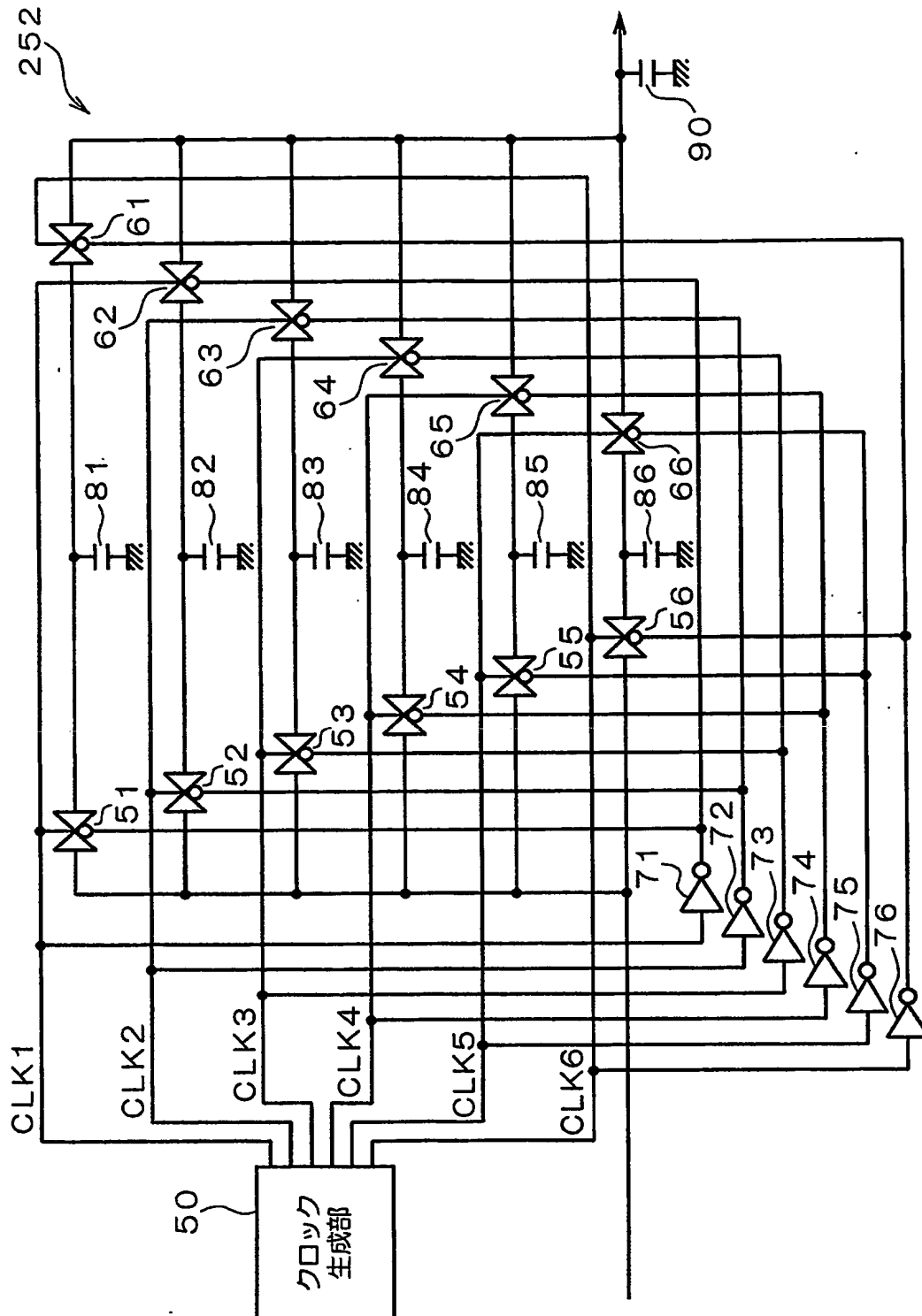
【図 4】



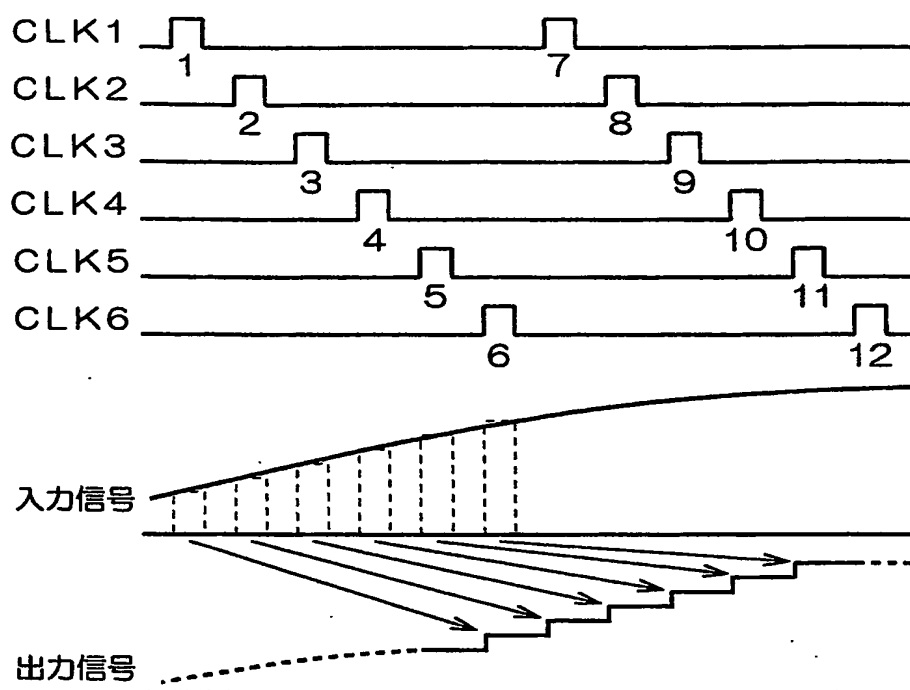
【図 5】



【図 6】



【図7】



【書類名】 要約書

【要約】

【課題】 半導体基板上に一体形成することができるとともに、ノイズ成分除去の精度を向上させることができるノイズ除去回路を提供すること。

【解決手段】 ノイズ除去回路は、入力信号に含まれるノイズ成分を検出するハイパスフィルタと、検出したノイズ成分に対応するパルス信号を生成するパルス生成回路と、入力信号を遅延させるアナログ遅延回路 2 5 2 と、この遅延させた信号に含まれるノイズ成分をパルス信号の出力タイミングに応じて除去する出力回路とを備える。アナログ遅延回路 2 5 2 は、スイッチ 5 1 ～ 5 6 を順番に導通させてそれぞれの時点での入力信号の電圧を各コンデンサ 8 1 ～ 8 6 に保持するとともに、この保持電圧を更新する前にスイッチ 6 1 ～ 6 6 を導通させて取り出すことにより、入力信号の出力タイミングを遅延させる。

【選択図】 図 6

特 2001-395233

認定・付加情報

特許出願の番号	特願 2001-395233
受付番号	50101906113
書類名	特許願
担当官	第五担当上席 0094
作成日	平成13年12月27日

<認定情報・付加情報>
【提出日】

平成13年12月26日

次頁無

出 願 人 履 歴 情 報

識別番号

[5 9 1 2 2 0 8 5 0]

1. 変更年月日	1 9 9 6 年 5 月 9 日
[変更理由]	住所変更
住 所	新潟県上越市西城町 2 丁目 5 番 1 3 号
氏 名	新潟精密株式会社

出 願 人 履 歴 情 報

識別番号 [000003218]

1. 変更年月日	2001年 8月 1日
[変更理由]	名称変更
住 所	愛知県刈谷市豊田町2丁目1番地
氏 名	株式会社豊田自動織機